

DIALOG(R)File 347:JAPIO
(c) 1998 JPO & JAPIO. All rts. reserv.

02450070

HIGH-BREAKDOWN-STRENGTH POLYCRYSTALLINE SILICON THIN FILM
TRANSISTOR AND
MANUFACTURE THEREOF

PUB. NO.: **63-066970** [JP 63066970 A]

PUBLISHED: March 25, 1988 (19880325)

INVENTOR(s): SEKI SHUNJI
UMIGAMI TAKASHI
KOGURE OSAMU

APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese
Company or Corporation), JP (Japan)

APPL. NO.: **61-209692** [JP 86209692]

FILED: September 08, 1986 (19860908)

INTL CLASS: [4] H01L-029/78; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R097 (ELECTRONIC MATERIALS -- Metal
Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 644, Vol. 12, No. 291, Pg. 59, August
09, 1988 (19880809)

ABSTRACT

PURPOSE: To provide a high breakdown strength between a source and a drain and to simultaneously obtain high mutual conductance in a polycrystalline silicon thin film transistor by providing offset gate regions between a gate and a source, and between the gate and a drain, and containing hydrogen in the offset gate regions.

CONSTITUTION: OF the title transister, offset gate regions 9 are provided between a gate 4 and a source 5 and between the gate 4 and a drain 6 of a polycrystalline silicon thin film transistor in which a polycrystalline silicon thin film 2 is used as a channel region. Then, hydrogen is contained in the regions 9. For example, the film 2 is deposited on a quartz substrate 1, a gate insulating film 3 and a gate electrode 4 are formed, As is then added by an ion implanting method 10(^{sup} 20) cm(^{sup} -3) to form source, drain regions 5, 6, and heat treated at 900 deg.C in a nitrogen atmosphere to be activated. Then, after an aluminum electrode 7 is formed, the element is allowed to stand in a gas plasma containing mixture gas of hydrogen and nitrogen for 30 min, and hydrogen is added to the regions 9 by the hydrogen plasma process.

⑫公開特許公報(A)

昭63-66970

⑬Int.Cl.

H 01 L 29/78
27/12

識別記号

311

序内整理番号

Z-8422-5F
7514-5F

⑭公開 昭和63年(1988)3月25日

審査請求 未請求 発明の数 2 (全6頁)

⑮発明の名称 高耐圧多結晶シリコン薄膜トランジスタとその製造法

⑯特願 昭61-209692

⑰出願 昭61(1986)9月8日

⑮発明者 関 俊 司	茨城県那珂郡東海村大字白方字白根162番地 日本電信電話株式会社茨城電気通信研究所内
⑯発明者 海 上 隆	茨城県那珂郡東海村大字白方字白根162番地 日本電信電話株式会社茨城電気通信研究所内
⑰発明者 小 暮 攻	茨城県那珂郡東海村大字白方字白根162番地 日本電信電話株式会社茨城電気通信研究所内
⑱出願人 日本電信電話株式会社	東京都千代田区内幸町1丁目1番6号
⑲代理人 弁理士 高山 敏夫	外1名

明細書

1.発明の名称

高耐圧多結晶シリコン薄膜トランジスタとその製造法

2.特許請求の範囲

- (1) 多結晶シリコン薄膜をチャネル領域とする高耐圧多結晶シリコン薄膜トランジスタにおいて、ゲートとソース、およびゲートとドレインとの間にオフセットゲート領域を設け、該オフセットゲート領域が水素を含有してなることを特徴とする高耐圧多結晶シリコン薄膜トランジスタ。
- (2) 多結晶シリコン薄膜をチャネル領域とする高耐圧多結晶シリコン薄膜トランジスタの製造法において、ゲートとソース間およびゲートとドレイン間にオフセット領域を有するようにゲートとソースおよびドレインを形成する工程と、前記オフセットゲート領域に水素を添加する工程とを具備することを特徴とする高耐圧多結晶シリコン薄膜トランジスタの製造法。
- (3) 特許請求の範囲第2項記載のオフセットゲー

ト領域に水素を添加する工程が水素プラズマ処理を行うことを特徴とする高耐圧多結晶シリコン薄膜トランジスタの製造法。

- (4) 特許請求の範囲第2項記載のオフセットゲート領域に水素を添加する工程が水素を含む塗化シリコン薄膜から水素をオフセットゲート領域に拡散させることを特徴とする高耐圧多結晶シリコン薄膜トランジスタの製造法。

3.発明の詳細な説明

(産業上の利用分野)

本発明は、ソース、ドレイン間に高い絶縁耐圧を有する高耐圧多結晶シリコン薄膜トランジスタとその製造法に関するものである。

(従来技術および発明が解決しようとする問題点)

絶縁基板上に形成した多結晶シリコンを能動領域とする多結晶シリコン薄膜トランジスタは、大面積の平面形表示素子におけるスイッチング素子や、3次元構造の構成回路などの幅広い応用範囲を有することから高い関心を集めている。このような素子に多結晶シリコン薄膜トランジ

タを適用するためには、高い相互コンダクタンスを得ること、ソース、ドレイン間の絶縁耐圧を高めること、しきい値電圧の低減化を図ることなどが重要である。中でも、電界発光素子を用いた表示素子のスイッチング素子として適用する場合には、100 V以上のソース、ドレイン間耐圧を有すると同時に、スイッチング素子として高効率のスイッチング動作があわせて要求されるため、高絶縁耐圧、高相互コンダクタンスの多結晶シリコン薄膜トランジスタが必要とされている。

第6図に従来の典型的な多結晶シリコン薄膜トランジスタの断面構造、第7図にドレイン電流特性の一例を示す。図において、1は石英基板、2は多結晶シリコン薄膜、3はSiO₂薄膜、4はBを10¹⁹ cm⁻³添加した多結晶シリコン電極、5は多結晶シリコンにAsを10¹⁹ cm⁻³添加したソース領域、6は多結晶シリコンにAsを10¹⁹ cm⁻³添加したドレイン領域、7はAl電極である。ドレイン電流特性は、チャネル長20 μm、チャネル幅100 μmの素子において、100 V以上のソース、ドレイン間耐圧を得ることが可能となる。しかしながら、相互コンダクタンスの低下が頭著であり、ゲート電圧8 Vにおいて0.5 μS程度の相互コンダクタンスしか得ることができない。これは、オフセットゲート領域の抵抗が非常に高いために、オフセットゲート領域がチャネルに直列に付加された寄生抵抗として動き、多結晶シリコン薄膜トランジスタの相互コンダクタンスを低下せしめているためと考えられる。特に、多結晶シリコンは、結晶粒界の界面単位に捕獲

ル幅100 μmの素子に対するもので、ゲート電圧8 Vにおける相互コンダクタンスは50 μS、ソース、ドレイン間の耐圧は20 V程度である。このように、通常の構造のシリコン薄膜トランジスタでは、相互コンダクタンスの観点からは、スイッチング素子に要求される特性をほぼ満足し得るもの、ソース、ドレイン間耐圧が不足しているという問題点を有する。

ソース、ドレイン間耐圧の決定要因としては、ソース、ドレイン間耐圧のパンチスルーや、ドレイン近傍におけるアバランシエ陣状などが考えられるが、チャネル長が2 μm以上の素子においては、これらのうち、ドレイン近傍における電界集中に起因したアバランシエ陣状がソース、ドレイン間耐圧の支配要因となつている。このようなドレイン近傍における電界集中を緩和するために、ゲートとソース、ゲートとドレインとの間にオフセットゲート領域を設ける構造が提案された。第8図にその断面構造を示す。図において、1は石英基板、2は多結晶シリコン

薄膜、3はSiO₂薄膜、4はBを10¹⁹ cm⁻³添加した多結晶シリコン電極、5は多結晶シリコンにAsを10¹⁹ cm⁻³添加したソース領域、6は多結晶シリコンにAsを10¹⁹ cm⁻³添加したドレイン領域、7はAl電極、8はオフセットゲート領域を示す。第9図はドレイン電流特性を示す。ゲートとソース、ゲートとドレインとの間にそれぞれ5 μmのオフセットゲート領域8を設けることにより、チャネル長20 μm、チャネル幅100 μmの素子寸法を有する素子において、100 V以上のソース、ドレイン間耐圧を得ることが可能となる。しかしながら、相互コンダクタンスの低下が頭著であり、ゲート電圧8 Vにおいて0.5 μS程度の相互コンダクタンスしか得ることができない。これは、オフセットゲート領域の抵抗が非常に高いために、オフセットゲート領域がチャネルに直列に付加された寄生抵抗として動き、多結晶シリコン薄膜トランジスタの相互コンダクタンスを低下せしめているためと考えられる。特に、多結晶シリコンは、結晶粒界の界面単位に捕獲

された2.2 × 10¹⁹ cm⁻³にも及ぶ界面電荷に起因して、結晶粒界部に電荷の輸送を妨げる0.55 eV程度のボテンシャル壁が存在するため、著しく高抵抗となり、相互コンダクタンスの頭著な低下を招く。このように、ゲートとソース、ゲートとドレインとの間にオフセットゲート領域を設けることにより、100 V以上のソース、ドレイン間耐圧を実現することができるが、相互コンダクタンスが1 μS以下にも低下するため、スイッチング素子として適用できないという問題点が生ずる。

以上述べたように、オフセットゲート領域を有しない通常構造の多結晶シリコン薄膜トランジスタは、スイッチング素子として十分な特性を有するものの、ソース、ドレイン間耐圧が低いという欠点を有する。一方、単なるオフセットゲート領域を設けた構造の多結晶シリコン薄膜トランジスタでは、ソース、ドレイン間耐圧を向上させることはできるものの、相互コンダクタンスの低下が著しいという欠点を有する。

(発明の目的)

本発明は上記の欠点を改善するために提案されたもので、多結晶シリコン薄膜を駆動領域とする多結晶シリコン薄膜トランジスタにおいて、高いソース、ドレイン間耐圧を有すると同時に、高相互コンダクタンスの高耐圧多結晶シリコン薄膜トランジスタとその製造法を提供することを目的とする。

(問題点を解決するための手段)

上記の目的を達成するため、本発明は多結晶シリコン薄膜をチャネル領域とする高耐圧多結晶シリコン薄膜トランジスタにおいて、ゲートとソース、およびゲートとドレインとの間にオフセットゲート領域を設け、該オフセットゲート領域が水素を含有してなることを特徴とする高耐圧多結晶シリコン薄膜トランジスタを発明の要旨とするものである。

さらに本発明は、多結晶シリコン薄膜をチャネル領域とする高耐圧多結晶シリコン薄膜トランジスタの製造法において、ゲートとソース間

ジスタの製作工程を示すもので、第1図Fは本発明のトランジスタの構造を示す。図において、1は石英基板、2は多結晶シリコン薄膜、3はSiO₂薄膜、4は多結晶シリコン電極、5はソース領域、6はドレイン領域、7はAl電極、9は水素を含有するオフセットゲート領域を示す。

次に本発明による高耐圧シリコン薄膜トランジスタの製作工程を説明する。

まず、石英基板1上に多結晶シリコン薄膜2を気相成長法により0.5 μm堆積した後、窒素雰囲気中1100°Cの条件で多結晶シリコン表面を酸化し、ゲート絶縁膜として0.15 μmのSiO₂薄膜3を形成する(第1図A)。引き続いて、ゲート電極としてBを10¹⁹cm⁻³添加した多結晶シリコン薄膜4を0.3 μm堆積し(第1図B)、フォトリソグラフィー技術を用いて、多結晶シリコン薄膜、SiO₂薄膜を加工する(第1図C)。この後、オフセットゲート領域を形成するために、気相成長法によりSiO₂薄膜3を0.3 μm形成し(第1図D)、ゲートの両側の部分を残して、該

およびゲートとドレイン間にオフセットゲート領域を有するようにゲートとソースおよびドレインを形成する工程と、前記オフセットゲート領域に水素を添加する工程とを具備することを特徴とする高耐圧多結晶シリコン薄膜トランジスタの製造法を発明の要旨とするものである。

しかして本発明の特徴とする点は、ゲートとソース、およびゲートとドレインとの間にオフセットゲート領域を設け、該オフセットゲート領域が水素を含有している点にある。従来の技術とは、ゲートとソース、ゲートとドレインとの間に設けたオフセットゲート領域に水素を添加することにより、オフセットゲート領域の結晶粒界部におけるボテンシャル障壁を低減せしめ、低抵抗化を図っている点が異なる。

次に本発明の実施例を説明する。なお実施例は一つの例示であつて、本発明の精神を逸脱しない範囲で、種々の変更あるいは改良を行いうることは言うまでもない。

第1図は本発明の高耐圧シリコン薄膜トラン

ジスタの製作工程を示すもので、第1図Fは本発明のトランジスタの構造を示す。図において、1は石英基板、2は多結晶シリコン薄膜、3はSiO₂薄膜、4は多結晶シリコン電極、5はソース領域、6はドレイン領域、7はAl電極、9は水素を含有するオフセットゲート領域を示す。

SiO₂薄膜をエッチングにより除去する。このSiO₂薄膜によつて残されたゲートの両側の部分がオフセットゲート領域となる。この状態で、ソース、ドレイン領域5、6を形成するために、イオン注入法により、Asを10¹⁹cm⁻³添加し、窒素雰囲気中、900°Cの熱処理により活性化する(第1図E)。引き続いて、Al電極7を形成した後、水素と窒素からなる混合ガス(混合比1:1)を成分とするガスプラズマ(圧力1Torr)中に電子を30分間放置し、この水素プラズマ処理によりオフセットゲート領域に水素を添加し、水素を含有してなるオフセットゲート領域9を有するシリコン薄膜トランジスタを完成する(第1図F)。

なお、水素プラズマ処理は、処理後500°C以上の熱処理を行わなければAl電極形成前でもよい。

第2図は、水素プラズマ処理を行なうためのプラズマ発生装置の断面構造を示したもので、10が真空槽、11がプラズマ発生用電極、12がガ

ス導入口である。水素プラズマ処理を施すためには、まず、プラズマ処理を施す試料13を真空槽内に入れ、内部を 10^{-6} Torrまで排気する。この後、水素と窒素の混合ガスを真空槽内が1Torrになるまでガス導入口より導入し、電極間に高周波電力を印加することによりプラズマを発生させる。水素の添加量は、水素プラズマ処理を行なう時間により制御できる。

第3図は、本実施例で作製した高耐圧シリコン薄膜トランジスタのドレイン電流特性を示した図であつて、チャネル長は $20\text{ }\mu\text{m}$ 、チャネル幅は $100\text{ }\mu\text{m}$ 、オフセットゲート長は $5\text{ }\mu\text{m}$ である。この図から、100V以上のソース、ドレイン間耐圧が得られると同時に、ゲート電圧8Vにおいて $30\text{ }\mu\text{A}$ の相互コンダクタンスが得られていることがわかる。これは、オフセットゲート領域を設けることにより、ドレイン近傍における電界集中を緩和することが可能となつたことに加えて、多結晶シリコン中に水素を添加することにより、結晶粒界部の捕獲単位が補償さ

とするガスプラズマを圧力1Torrにおいて、パワー200Wで界面単位密度 $1.6 \times 10^{12}\text{ cm}^{-2}$ がえられる。パワーを100W～300W、ガス圧力0.5Torr～2Torr、処理時間10分以上が好適である。上記水素雰囲気中の熱処理のみではエネルギーが不足しているが、水素の供給量が不足しているかである。

実施例1で説明したシリコン薄膜トランジスタの製造工程において、水素を含むガスプラズマを用いるかわりに、第5図に示すように、 10^{21} cm^{-3} 以上の水素を含む窒化シリコン薄膜14を表面に堆積し、窒素雰囲気中400℃の熱処理により水素をオフセットゲート領域に拡散させることによつても、実施例1と同様にオフセットゲート領域に水素を添加し、同様の効果を得ることが可能である。

(発明の効果)

以上説明したように、本発明によればゲートとソース、ゲートとドレインとの間にオフセットゲート領域を設け、該オフセット領域に水素を添加

れ、捕獲電荷密度が $1.6 \times 10^{12}\text{ cm}^{-2}$ 程度に低減化されるため、結晶粒界部のポテンシャル壁が低下し、オフセットゲート領域が低抵抗化されたためである。このように、ゲートとソース、ゲートとドレインとの間に水素を含有したオフセットゲート領域を設けることにより、高ソース、ドレイン間耐圧、高相互コンダクタンス、高耐圧シリコン薄膜トランジスタを実現することができる。

第4図は、相互コンダクタンスのゲート電圧依存性が、オフセットゲート領域における結晶粒界部の界面電荷密度によって変化する様子を示したものである。水素を添加することにより、界面電荷密度を $2.2 \times 10^{13}\text{ cm}^{-2}$ （水素雰囲気中、450℃の熱処理の場合のみ）から $1.6 \times 10^{12}\text{ cm}^{-2}$ まで低減化することにより、相互コンダクタンスを40倍程度増大できることがわかる。

なお水素プラズマ処理の条件、例えばパワーによつても界面単位密度を変化できる。水素と窒素からなる混合ガス（混合比1：1）を成分

することにより、ソース、ドレイン間の耐圧が高く、相互コンダクタンスの大きい高耐圧シリコン薄膜トランジスタを得ることができるとといふ利点がある。

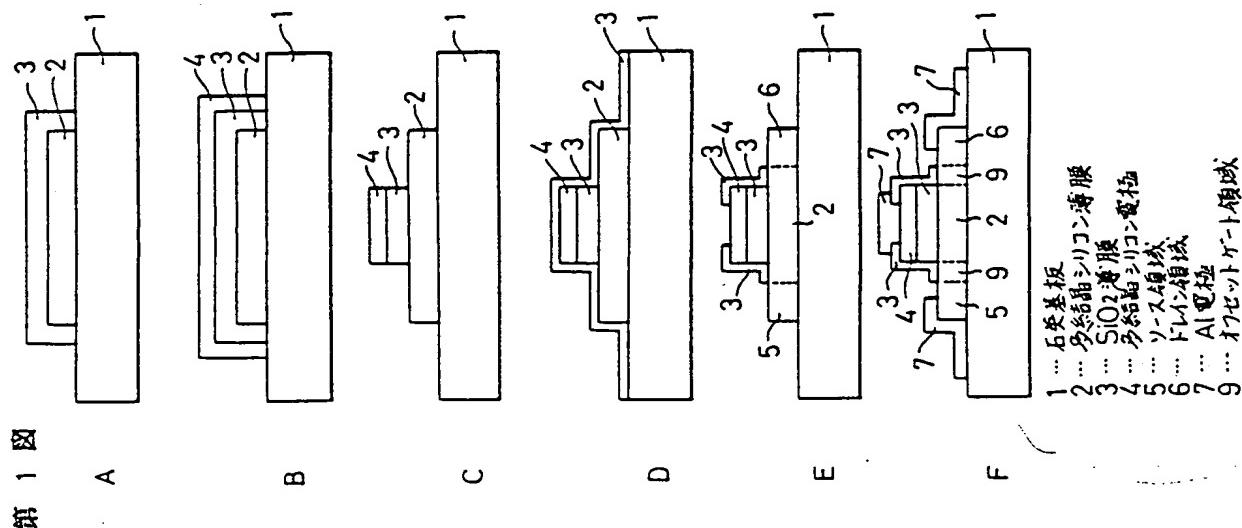
4. 図面の簡単な説明

第1図は本発明の高耐圧シリコン薄膜トランジスタの作製工程を説明した図、第2図は水素添加を行なうためのプラズマ処理装置の断面構造を説明した図、第3図は水素を含有してなるオフセットゲート領域を有するシリコン薄膜トランジスタのドレイン電流特性を説明した図、第4図は相互コンダクタンスのゲート電圧依存性が結晶粒界部の界面電荷密度に応じて変化する様子を説明した図、第5図は他の実施例における水素添加方法を説明した図、第6図は通常のシリコン薄膜トランジスタの断面構造を示した図、第7図は通常のシリコン薄膜トランジスタのドレイン電流特性を説明した図、第8図はオフセットゲート領域を設けたシリコン薄膜トランジスタの断面構造を示した図、第9図はオ

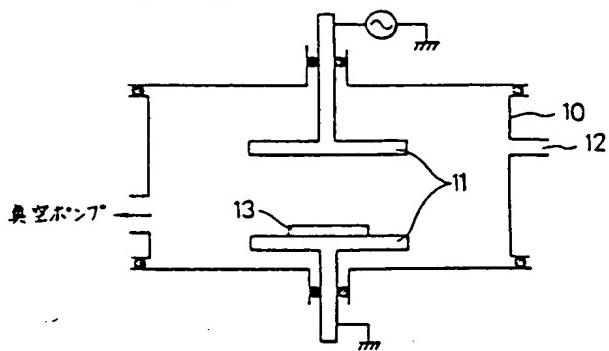
フセツトゲート領域を設けたシリコン薄膜トランジスタのドレイン電流特性を説明した図を示す。

- 1 …… 石英基板
- 2 …… 多結晶シリコン薄膜
- 3 …… SiO₂薄膜
- 4 …… 多結晶シリコン電極
- 5 …… ソース領域
- 6 …… ドレイン領域
- 7 …… Al電極
- 8 …… オフセットゲート領域
- 9 …… 水素を含有するオフセットゲート領域
- 10 …… 真空槽
- 11 …… プラズマ発生用電極
- 12 …… ガス導入口
- 13 …… 試料
- 14 …… 融化シリコン薄膜

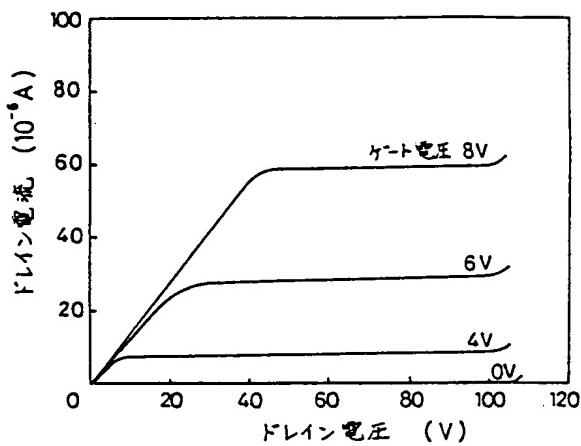
特許出願人 日本電信電話株式会社
代理人 弁理士 高山敏



第2図

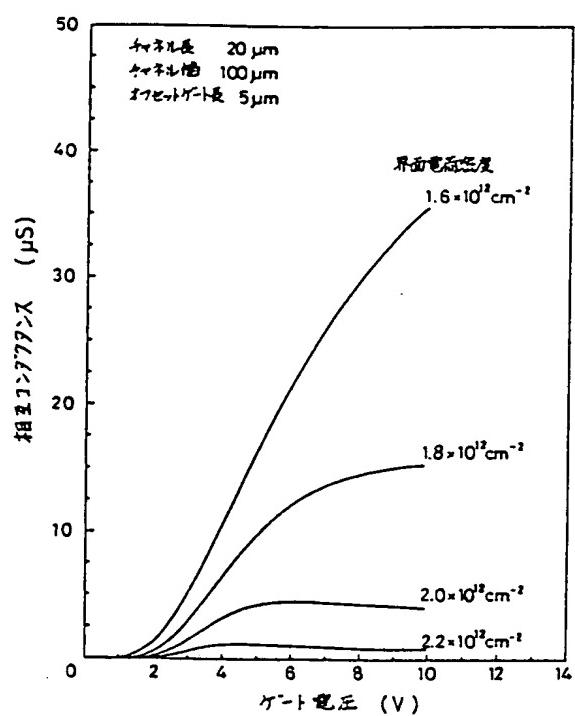


第3図

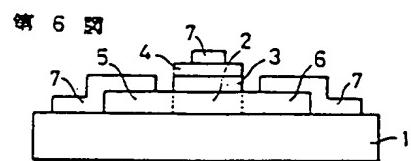
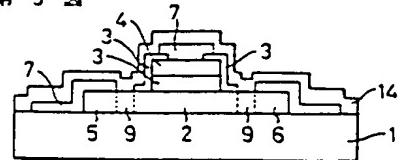


第4図

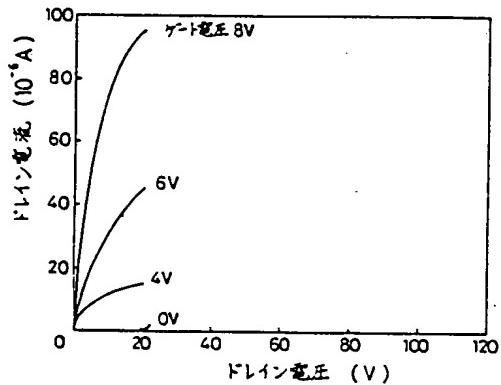
第4図



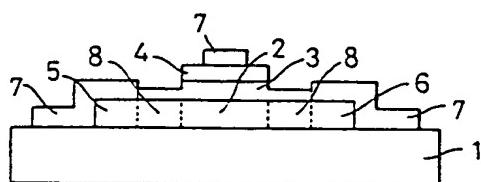
第5図



第7図



第8図



第9図

